

PCT/JP00/01725
21.03.00

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

REC'D 31 MAR 2000	
WIPO	PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 3月23日

出 願 番 号
Application Number:

平成11年特許願第078207号

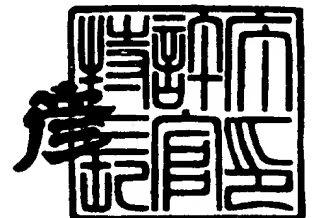
出 願 人
Applicant(s):

三洋電機株式会社

1999年11月26日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3082436

【書類名】 特許願

【整理番号】 NBC0992023

【提出日】 平成11年 3月23日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 7/24

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

【氏名】 岡田 茂之

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100082500

【弁理士】

【氏名又は名称】 足立 勉

【電話番号】 052-231-7835

【選任した代理人】

【識別番号】 100106035

【弁理士】

【氏名又は名称】 田中 敏博

【電話番号】 052-231-7835

【手数料の表示】

【予納台帳番号】 007102

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特平 11-078207

【包括委任状番号】 9804525

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 MPEGビデオデコーダ

【特許請求の範囲】

【請求項 1】 離散コサイン変換と、逆方向予測および順方向予測を行う動き補償付予測とを併用してMPEGビデオストリームをデコードするMPEGビデオデコーダにおいて、

前記逆方向予測に用いられる前方参照用輝度データの格納領域と、前記順方向予測に用いられる後方参照用色差データの格納領域とが設けられた第1フレームバッファと、

前記逆方向予測に用いられる前方参照用色差データの格納領域と、前記順方向予測に用いられる後方参照用輝度データの格納領域とが設けられた第2フレームバッファと、

前記第1フレームバッファに対するメモリアクセス動作と前記第2フレームバッファに対するメモリアクセス動作との少なくとも一部分の動作を並列処理で行う読出制御回路とを備えたことを特徴とするMPEGビデオデコーダ。

【請求項 2】 離散コサイン変換と、逆方向予測および順方向予測を行う動き補償付予測とを併用してMPEGビデオストリームをデコードするMPEGビデオデコーダにおいて、

前記逆方向予測に用いられる前方参照用輝度データの格納領域と、前記順方向予測に用いられる後方参照用色差データの格納領域とが設けられた第1フレームバッファと、

前記逆方向予測に用いられる前方参照用色差データの格納領域と、前記順方向予測に用いられる後方参照用輝度データの格納領域とが設けられた第2フレームバッファと、

第1フレームバッファと第2フレームバッファとに対するメモリアクセスを並列処理で行い、第1フレームバッファから前方参照用輝度データを読み出しているときに、第2フレームバッファから前方参照用色差データを読み出すと共に、第1フレームバッファから後方参照用色差データを読み出しているときに、第2フレームバッファから後方参照用輝度データを読み出すようにする読出制御回路

とを備えたことを特徴とするMPEGビデオデコーダ。

【請求項3】 請求項1または請求項2に記載のMPEGビデオデコーダにおいて、

前方参照用輝度データおよび後方参照用色差データを前記第1フレームバッファにおける所定の格納領域に格納させると共に、前方参照用色差データおよび後方参照用輝度データを前記第2フレームバッファにおける所定の格納領域に格納させる書込制御回路を備えたことを特徴とするMPEGビデオデコーダ。

【請求項4】 請求項1～3のいずれか1項に記載のMPEGビデオデコーダにおいて、

前記第1、第2フレームバッファは共に入出力のデータバス幅の等しいSDRAM (Synchronous Dynamic Random Access Memory) より成ることを特徴とするMPEGビデオデコーダ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はMPEG (Moving Picture Expert Group) ビデオデコーダに関するものである。

【0002】

【従来の技術】

マルチメディアで扱われる情報は、膨大な量で且つ多種多様であり、これらの情報を高速に処理することがマルチメディアの実用化を図る上で必要となってくる。情報を高速に処理するためには、データの圧縮・伸長技術が不可欠となる。そのようなデータの圧縮・伸長技術として「MPEG」方式があげられる。このMPEG方式は、ISO (International Organization for Standardization) / IEC (International Electrotechnical Commission) 傘下のMPEG委員会 (ISO/IEC JTC1/SC29/WG11) によって標準化されている。

【0003】

MPEGは3つのパートから構成されている。パート1の「MPEGシステムパート」 (ISO/IEC IS 11172 Part1:Systems) では、ビデオデータとオーディオ

データの多重化構造（マルチプレクス・ストラクチャ）および同期方式が規定される。パート2の「MPEGビデオパート」（ISO/IEC IS 11172 Part2:Video）では、ビデオデータの高効率符号化方式およびビデオデータのフォーマットが規定される。パート3の「MPEGオーディオパート」（ISO/IEC IS 11172 Part3:Audio）では、オーディオデータの高効率符号化方式およびオーディオデータのフォーマットが規定される。

【0004】

MPEGビデオパートで取り扱われるビデオデータは動画に関するものであり、その動画は1秒間に数十枚（例えば、30枚）のフレーム（静止画、コマ）によって構成されている。ビデオデータは、シーケンス（Sequence）、GOP（Group Of Pictures）、ピクチャ（Picture）、スライス（Slice）、マクロブロック（Macroblock）、ブロック（Block）の順に6層の階層構造から成る。1枚のピクチャを構成するスライスの個数は一定ではなく、1個のスライスを構成するマクロブロックの個数も一定ではない。

【0005】

また、MPEGには主にエンコードレートの違いにより、MPEG-1、MPEG-2の2つの方式がある。MPEG-1においてフレームはピクチャに対応している。MPEG-2においては、フレームまたはフィールドをピクチャに対応させることもできる。フィールドは、2枚で1枚のフレームを構成している。ちなみに、ピクチャにフレームが対応している構造はフレーム構造と呼ばれ、ピクチャにフィールドが対応している構造はフィールド構造と呼ばれる。

【0006】

MPEGでは、フレーム間予測と呼ばれる圧縮技術を用いる。フレーム間予測は、フレーム間のデータを時間的な相関に基づいて圧縮する。フレーム間予測では双方向予測が行われる。双方向予測とは、過去の再生画像（または、ピクチャ）から現在の再生画像を予測する順方向予測と、未来の再生画像から現在の再生画像を予測する逆方向予測とを併用することである。

【0007】

この双方向予測は、Iピクチャ（Intra-Picture）、Pピクチャ（Predictive-

Picture) , Bピクチャ (Bidirectionally predictive-Picture) と呼ばれる 3 つのタイプのピクチャを規定している。

I ピクチャは、過去や未来の再生画像とは無関係に独立して生成される。ランダムアクセスを行うために、GOP 内には最低 1 枚の I ピクチャが必要である。I ピクチャ内の全てのマクロブロック・タイプは、フレーム内予測画面 (IntraFrame) である。

【0008】

P ピクチャは順方向予測 (過去の I ピクチャまたは P ピクチャからの予測) により生成される。P ピクチャ内のマクロブロック・タイプは、フレーム内予測画面と順方向予測画面 (Forward Inter Frame) の両方を含む。

B ピクチャは双方向予測により生成される。双方向予測において B ピクチャは、以下に示す 3 つの予測のうちいずれか 1 つにより生成される。

【0009】

- ・ 順方向予測 ; 過去の I ピクチャまたは P ピクチャからの予測。
- ・ 逆方向予測 ; 未来の I ピクチャまたは P ピクチャからの予測。
- ・ 双方向予測 ; 過去および未来の I ピクチャまたは P ピクチャからの予測。

B ピクチャ内のマクロブロック・タイプは、フレーム内予測画面、順方向予測画面、逆方向予測画面 (Backward Inter Frame) 、内挿的予測画面 (Interpolative Inter Frame) の 4 つのタイプを含む。

【0010】

そして、これら I, P, B ピクチャがそれぞれエンコードされる。つまり、I ピクチャは過去や未来のピクチャが無くても生成される。これに対し、P ピクチャは過去のピクチャが無いと生成されず、B ピクチャは過去または未来のピクチャが無いと生成されない。

【0011】

但し、P ピクチャや B ピクチャでも、マクロブロック・タイプが内挿的予測画面の場合、そのマクロブロックは過去や未来のピクチャが無くても生成される。

フレーム間予測では、まず、I ピクチャが周期的に生成される。次に、I ピクチャよりも数フレーム先のフレームが P ピクチャとして生成される。この P ピク

チャは、過去から現在への一方向（順方向）の予測により生成される。続いて、Iピクチャの前、Pピクチャの後に位置するフレームがBピクチャとして生成される。このBピクチャを生成するとき、順方向予測、逆方向予測、双方向予測の3つの中から最適な予測方法が選択される。連続した動画では一般的に、現在の画像とその前後の画像とは良く似ており、異なっているのは、そのごく一部分に過ぎない。そこで、前のフレーム（例えば、Iピクチャ）と次のフレーム（例えば、Pピクチャ）とは同じであると仮定し、両フレーム間に変化があればその差分（Bピクチャのデータ）のみを抽出して圧縮する。これにより、フレーム間のデータを時間的な相関に基づいて圧縮することができる。

【0012】

このようにMPEGビデオパートに準拠してエンコードされたビデオデータのデータ列（ビットストリーム）は、MPEGビデオストリーム（以下、ビデオストリームと略す）と呼ばれる。

ところで、MPEG-1は主に、ビデオCD（Compact Disc）やCD-ROM（CD-Read Only Memory）などの蓄積メディアに対応している。MPEG-2は、ビデオCD、CD-ROM、DVD、ビデオテープ、不揮発性半導体メモリを用いたメモリカードなどの蓄積メディアだけでなく、LAN（Local Area Network）などの通信メディア、地上波放送や衛星放送およびCATV（Community Antenna Television）などの放送メディアをも含む伝達メディア全般に対応している。

【0013】

MPEGビデオパートで用いられる技術の核となるのが、動き補償予測（MC；Motion Compensated prediction）と離散コサイン変換（DCT；Discrete Cosine Transform）である。MCとDCTを併用した符号化技術は、ハイブリッド符号化技術と呼ばれる。MPEGビデオパートでは、エンコード時にDCT（別名FDCT；Forward DCT）を用い、画像（ビデオ信号）を周波数成分に分解して処理する。そして、デコード時にDCTの逆変換（離散コサイン逆変換；IDCT；Inverse DCT）を用い、周波数成分を再び画像（ビデオ信号）に戻す。

【0014】

図3は、従来のMPEGビデオデコーダ101のブロック回路図である。

MPEGビデオデコーダ101は、制御コア回路102、ビットバッファ103、フレームバッファ104、MPEGデコードコア回路105、データバス106、表示回路107、メモリコントローラ108、FIFO (First-In-First-Out) 構成のバッファ109～115から構成されている。尚、MPEGビデオデコーダ101を構成する各回路102～115は1チップのLSIに搭載されている。

【0015】

制御コア回路102は各回路103～115を制御する。

伝達メディア130から転送されてきたビデオストリームは、まずバッファ109に入力され、バッファ109→データバス106→メモリコントローラ108→ビットバッファ103の順番で転送されて、ビットバッファ103に書き込まれる。尚、伝達メディア130には、蓄積メディア（ビデオCD、CD-ROM、DVD、ビデオテープ、メモリカード、等）、通信メディア（LAN等）、放送メディア（地上波放送、衛星放送、CATV、等）などが含まれる。

【0016】

ビットバッファ103はFIFO構成のSDRAM (Synchronous Dynamic Random Access Memory) から成るリングバッファによって構成され、伝達メディア130から転送されてくるビデオストリームを順次蓄積する。

ビットバッファ103が設けられているのは、I、P、Bの各ピクチャのデータ量が異なっているためである。Iピクチャのデータ量は約30kバイト、Pピクチャのデータ量は約10～15kバイト、Bピクチャのデータ量は0～約6kバイトである。それに対して、伝達メディア130から転送されてくるビデオストリームのビットレートは一定である。MPEGデコードコア回路105は各ピクチャ毎に処理を行い、その処理時間は各ピクチャのデータ量によって異なる。そのため、伝達メディア130から転送されてきたビデオストリームをMPEGデコードコア回路105へ直接転送すると、MPEGデコードコア回路105において処理できないピクチャがでてくる。これを防止するため、伝達メディア1

30から転送されてくるビデオストリームに対するバッファメモリとしてのビットバッファ103を設けることで、I、P、Bの各ピクチャのデータ量の相違を吸収しているわけである。

【0017】

フレームバッファ104はSDRAMから成り、その内部は3つの領域（前方参照領域120、後方参照領域121、Bピクチャ格納領域122）に分けられている。

尚、ビットバッファ103とフレームバッファ104とは、部品点数を少なくしてMPEGビデオデコーダ101の部品コストを減少させるため、1つのSDRAM内に領域を分けて設けられている。

【0018】

また、ビットバッファ103とフレームバッファ104とが設けられるSDRAMの入出力のデータバス幅（ビット幅）は、32bitに設定されている。そのため、メモリコントローラ108の入出力のデータバス幅およびデータバス106のデータバス幅についても、32bitに設定されている。

【0019】

メモリコントローラ108は、ビットバッファ103およびフレームバッファ104の読出動作および書込動作を制御する。

ビットバッファ103に蓄積されたビデオストリームは、メモリコントローラ108により、1フレーム期間毎に1枚のピクチャ分ずつのビデオストリームが読み出され、そのビデオストリームは、メモリコントローラ108→データバス106→バッファ110の順番で転送されて、MPEGデコードコア回路105に入力される。

【0020】

MPEGデコードコア回路105は、入力された1ピクチャ分のビデオストリームに対して、まず、ハフマンコードに基づいた可変長デコード処理を行い、次に、可変長デコード処理結果に対して量子化閾値に基づいた逆量子化処理を行ってDCT (Discrete Cosine Transform) 係数を求め、続いて、求めたDCT係数に対してIDCT (Inverse DCT) 処理を行い、最後に、IDCT処理結果

に対してMC (Motion Compensated prediction) 処理を行う。

【0021】

そして、MPEGデコードコア回路105によるMC処理結果は、バッファ114→データバス106→メモリコントローラ108→フレームバッファ104の順番で転送されて、メモリコントローラ108により、フレームバッファ104のいずれかの領域120～122に格納される。

【0022】

また、メモリコントローラ108により、フレームバッファ104の各領域120～122から読み出されたデータは、メモリコントローラ108→データバス106→各バッファ111～113のいずれかの順番で転送されて、MPEGデコードコア回路105に入力される。ここで、前方参照領域120から読み出されたデータはバッファ111を介して転送され、後方参照領域121から読み出されたデータはバッファ112を介して転送され、Bピクチャ格納領域122から読み出されたデータはバッファ113を介して転送される。

【0023】

前方参照領域120には、MPEGデコードコア回路105によるMC処理において逆方向予測を行う際に用いられる未来のIピクチャまたはPピクチャが格納される。後方参照領域121には、MC処理において順方向予測を行う際に用いられる過去のIピクチャまたはPピクチャが格納される。Bピクチャ格納領域122にはBピクチャが格納される。

【0024】

前方参照領域120および後方参照領域121に格納されるIピクチャまたはPピクチャは、順方向予測または逆方向予測を行うための基データとして使われるため、必要がなくなるまで、各領域120、121に格納し続けなければならない。Bピクチャ格納領域122に格納されるBピクチャについては基データとして扱われないため、MPEGビデオデコーダ101の外部へ出力されたら不用になる。尚、各領域120～122はプレーン (Plane) とも呼ばれる。

【0025】

そして、メモリコントローラ108により、フレームバッファ104の各領域

120～122のいずれか1つから読み出されたピクチャのデータは、メモリコントローラ108→データバス106→バッファ115の順番で転送されて、表示回路107に入力される。

【0026】

表示回路107は、ピクチャのデータからビデオ信号（映像信号）を生成し、そのビデオ信号をMPEGビデオデコーダ101に接続された外部機器131へ出力する。例えば、外部機器131としてディスプレイを接続した場合、当該ディスプレイはビデオ信号を画像として表示する。また、外部機器131として蓄積メディア（ビデオテープ、メモリカード、等）を接続した場合、当該蓄積メディアにはビデオ信号が記憶蓄積される。

【0027】

このように構成されたMPEGビデオデコーダ101は、ムービーカメラ、スチルカメラ、テレビジョン、ビデオCD再生装置、DVD再生装置などに組み込まれる。尚、MPEGビデオデコーダ101をムービーカメラまたはスチルカメラに組み込む場合は、伝達メディア130がCCD (Charge Coupled Device) などの撮像デバイスおよびその信号処理回路に置き換えられる。

【0028】

【発明が解決しようとする課題】

図4（a）は、SDRAMから成るフレームバッファ104の前方参照領域120および後方参照領域121に格納される輝度（Y）データおよび色差（C）データの格納状態を模式的に示す模式図である。

【0029】

前方参照領域120には、前方参照用の輝度データ y_f の格納領域140と、前方参照用の色差データ c_f の格納領域141とが設けられている。また、後方参照領域121には、後方参照用の輝度データ y_r の格納領域142と、後方参照用の色差データ c_r の格納領域143とが設けられている。

【0030】

尚、色差データのデータ量は輝度データのデータ量のほぼ半分である。そのため、各格納領域141、143のデータ量は各格納領域140、142のデータ

量のほぼ半分に設定されている。

ちなみに、上記のように、フレームバッファ104の各領域120, 121に各データ y_f , c_f , y_r , c_r を格納するための各格納領域140~143を設けることは、メモリマッピングと呼ばれる。

【0031】

一般に、SDRAMにアクセスする際には、SDRAMに規定されたキャストリーケンシーおよびバーストレンジにより決定される所定のコマンドを設定する必要があり、そのように所定のコマンドを設定することはコマンドオーバーヘッドと呼ばれる。そのため、アクセスを開始した時点からデータの書込または読出が実際に開始される時点までの間に、コマンドオーバーヘッドに要する時間分の遅延時間が生じることになる。このコマンドオーバーヘッドに要する時間（遅延時間）は、SDRAMの動作クロックの6~7クロック分以下にはできない。

【0032】

図4(b)は、入出力のデータバス幅が32bitのSDRAMから成るフレームバッファ104の各領域120, 121から1つのマクロブロック分のデータを読み出す場合におけるメモリアクセスの順番を模式的に示す模式図である。

メモリアクセスは、格納領域140に対するコマンドオーバーヘッド com → 格納領域140からの前方参照用輝度データ y_f の読出 → 格納領域141に対するコマンドオーバーヘッド com → 格納領域141からの前方参照用色差データ c_f の読出 → 格納領域142に対するコマンドオーバーヘッド com → 格納領域142からの後方参照用輝度データ y_r の読出 → 格納領域143に対するコマンドオーバーヘッド com → 格納領域143からの後方参照用色差データ c_r の読出の順番で行われる。

【0033】

従って、この場合のメモリアクセスに要する時間 T_1 は、式(1)により求められる。

$$T_1 = 4 \times t_1 + 2 \times t_2 + 2 \times t_3 \quad \dots\dots\dots (式1)$$

但し、 t_1 ; コマンドオーバーヘッド com に要する時間

t_2 ; 各輝度データ y_f , y_r の読出に要する時間

t 3 ; 各色差データ c f , c r の読出に要する時間

ところで、MPEGデコードコア回路105によるMC処理では、1つのマクロブロックの半分（ハーフマクロブロック）の輝度データを復元するために、SDRAMから成るフレームバッファ104の前方参照領域120または後方参照領域121からハーフマクロブロック分の輝度データを読み出す場合がある。

【0034】

図5（a）に示すように、このハーフマクロブロック分の輝度データを復元するのに前方参照領域120または後方参照領域121から読み出す必要のある輝度データは、9ピクセル（画素）×17ピクセル（画素）分のデータである。

一般に、SDRAMにアクセスできる最小単位は、SDRAMに規定されたバーストレンジに入出力のデータバス幅を乗算した値になる。

【0035】

バーストレンジの最小値は「2」であるため、入出力のデータバス幅が32bitのSDRAMにアクセスできる最小単位は、 $2 \times 32 \text{ bit}$ になる。ところで、1つのピクセル（画素）のデータ量は8bitである。従って、入出力のデータバス幅が32bitのSDRAMにアクセスできる最小単位は、水平方向に配置された8ピクセル分になる。

【0036】

そのため、図5（b）に示すように、入出力のデータバス幅が32bitのSDRAMから成るフレームバッファ104からハーフマクロブロック分の輝度データ（9ピクセル×17ピクセル分のデータ）を読み出すには、9ピクセル×24ピクセル分のデータを読み出す必要がある。すなわち、入出力のデータバス幅が32bitのSDRAMにアクセスできる最小単位は水平8ピクセル分であるため、水平17ピクセル分のデータを読み出すには、水平8ピクセルの3倍の24ピクセル分のデータを読み出さなければならない。そして、読み出した9ピクセル×24ピクセル分のデータの内、9ピクセル×17ピクセル分の必要なデータを除いた残りのデータである9ピクセル×7ピクセル分は無駄なデータとなる。

【0037】

近年、MPEGビデオデコーダ101の動作速度を高速化することが要求され

ている。それにはフレームバッファ104とデータバス106を高速化して動作周波数を高くする方法と、フレームバッファ104とデータバス106の入出力のデータバス幅（ビット幅）を32bitよりも更に広げる（例えば、48bit, 64bit, 128bit, 等）方法とがある。しかし、動作周波数の高いフレームバッファ104は高価（例えば、SDRAMより高速なラムバスDRAMはSDRAMより高価）である上に、消費電力も大きくなる。また、入出力のデータバス幅を更に広げると、LSIの端子数が増加すると共にフレームバッファ104を構成するSDRAMのチップ数が増加するため、MPEGビデオデコーダ101の基板実装面積の増大やコストアップを招くことになる。そこで、フレームバッファ104の動作周波数を高くしたり入出力のデータバス幅を広げることなく、MPEGビデオデコーダ101の動作速度を高速化することが求められている。

【0038】

本発明は上記問題点を解決するためになされたものであって、その目的は、動作速度を高速化することが可能なMPEGビデオデコーダを提供することにある。

【0039】

【課題を解決するための手段】

かかる目的を達成するためになされた請求項1に記載の発明は、離散コサイン変換と、逆方向予測および順方向予測を行う動き補償予測とを併用してMPEGビデオストリームをデコードするMPEGビデオデコーダにおいて、前記逆方向予測に用いられる前方参照用輝度データの格納領域と、前記順方向予測に用いられる後方参照用色差データの格納領域とが設けられた第1フレームバッファと、前記逆方向予測に用いられる前方参照用色差データの格納領域と、前記順方向予測に用いられる後方参照用輝度データの格納領域とが設けられた第2フレームバッファと、前記第1フレームバッファに対するメモリアクセス動作と前記第2フレームバッファに対するメモリアクセス動作との少なくとも一部分の動作を並列処理で行う読出制御回路とを備えたことをその要旨とする。

【0040】

従って、本発明において、第1、第2フレームバッファとして入出力のデータ

バス幅が小さなものを用いれば、各フレームバッファからハーフマクロブロック分の輝度データ（9ピクセル×17ピクセル分のデータ）を読み出す際にも、無駄なデータの読み出しを少なくすることが可能になり、その分だけメモリアクセスに要する時間を短縮することができる。そのため、各フレームバッファの動作周波数を高くしたり入出力のデータバス幅を広げることなく、MPEGビデオデコーダの動作速度を高速化することができる。

【0041】

請求項2に記載の発明は、離散コサイン変換と、逆方向予測および順方向予測を行う動き補償付予測とを併用してMPEGビデオストリームをデコードするMPEGビデオデコーダにおいて、前記逆方向予測に用いられる前方参照用輝度データの格納領域と、前記順方向予測に用いられる後方参照用色差データの格納領域とが設けられた第1フレームバッファと、前記逆方向予測に用いられる前方参照用色差データの格納領域と、前記順方向予測に用いられる後方参照用輝度データの格納領域とが設けられた第2フレームバッファと、第1フレームバッファと第2フレームバッファとに対するメモリアクセスを並列処理で行い、第1フレームバッファから前方参照用輝度データを読み出しているときに、第2フレームバッファから前方参照用色差データを読み出すと共に、第1フレームバッファから後方参照用色差データを読み出しているときに、第2フレームバッファから後方参照用輝度データを読み出すようにする読出制御回路とを備えたことをその要旨とする。

【0042】

従って、本発明によれば、請求項1に記載の発明の効果に加えて、メモリアクセスに要する時間をきわめて効果的に短縮することができる。

ところで、請求項3に記載の発明のように、請求項1または請求項2に記載のMPEGビデオデコーダにおいて、前方参照用輝度データおよび後方参照用色差データを前記第1フレームバッファにおける所定の格納領域に格納させると共に、前方参照用色差データおよび後方参照用輝度データを前記第2フレームバッファにおける所定の格納領域に格納させる書込制御回路を備えるようにしてもよい。このようにすれば、請求項2に記載の発明の効果をより確実に得ることができる。

【0043】

請求項4に記載の発明は、請求項1～3のいずれか1項に記載のMPEGビデオデコーダにおいて、前記第1、第2フレームバッファは共に入出力のデータバス幅の等しいSDRAMより成ることをその要旨とする。

従って、本発明によれば、第1フレームバッファと第2フレームバッファとに対するメモリアクセスが並列処理で行われるため、各フレームバッファから1つのマクロブロック分の輝度データおよび色差データを読み出す際のメモリアクセスに要する時間を、SDRAMに規定されたコマンドオーバーヘッドの2回分に要する時間だけ短縮することができる。そのため、請求項2に記載の発明の効果を高めて、MPEGビデオデコーダの動作速度をさらに高速化することができる。

【0044】

尚、以下に述べる発明の実施の形態において、特許請求の範囲または課題を解決するための手段に記載の「第1フレームバッファ」はフレームバッファ104aに相当し、同じく「第2フレームバッファ」はフレームバッファ104bに相当し、同じく「読出制御回路」は各メモリコントローラ108a、108b、各バッファ111a、112a、111b、112b、制御コア回路2から構成され、同じく「書込制御回路」は各メモリコントローラ108a、108b、制御コア回路2、切替回路3、各バッファ114a、114bから構成される。

【0045】

【発明の実施の形態】

以下、本発明を具体化した一実施形態を図面と共に説明する。尚、本実施形態において、図3～図5に示した従来の形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0046】

図1は、本実施形態のMPEGビデオデコーダ1のブロック回路図である。

MPEGビデオデコーダ1は、制御コア回路2、切替回路3、ビットバッファ103a、103b、フレームバッファ104a、104b、MPEGデコード

コア回路105、データバス106a, 106b、表示回路107、メモリコントローラ108a, 108b、FIFO構成のバッファ109, 110a~115bから構成されている。尚、MPEGビデオデコーダ1を構成する各回路2, 103a~115bは1チップのLSIに搭載されている。

【0047】

制御コア回路2は各回路3, 103a~115bを制御する。

伝達メディア130から転送されてきたビデオストリームは、まずバッファ109に入力され、バッファ109→各データバス106a, 106b→各メモリコントローラ108a, 108b→各ビットバッファ103a, 103bの順番で転送されて、各ビットバッファ103a, 103bに書き込まれる。

【0048】

各ビットバッファ103a, 103bはFIFO構成のSDRAMから成るリングバッファによって構成され、伝達メディア130から転送されてくるビデオストリームを順次蓄積する。

各ビットバッファ103a, 103bが設けられているのは、従来のMPEGビデオデコーダ101においてビットバッファ103が設けられている理由と同じである。

【0049】

各フレームバッファ104a, 104bはSDRAMから成り、それぞれの内部は3つの領域（前方参照領域120a, 120b、後方参照領域121a, 121b、Bピクチャ格納領域122a, 122b）に分けられている。

尚、部品点数を少なくしてMPEGビデオデコーダ1の部品コストを減少させるため、ビットバッファ103aとフレームバッファ104aとが1つのSDRAM内に領域を分けて設けられ、ビットバッファ103bとフレームバッファ104bとが1つのSDRAM内に領域を分けて設けられている。

【0050】

また、ビットバッファ103a, 103bとフレームバッファ104a, 104bとが設けられるそれぞれのSDRAMの入出力のデータバス幅（ビット幅）は共に、16bitに設定されている。そのため、各メモリコントローラ108a

、108bの入出力のデータバス幅および各データバス106a、106bのデータバス幅についても、16bitに設定されている。

【0051】

メモリコントローラ108aは、ビットバッファ103aおよびフレームバッファ104aの読出動作および書込動作を制御する。また、メモリコントローラ108bは、ビットバッファ103bおよびフレームバッファ104bの読出動作および書込動作を制御する。

【0052】

各ビットバッファ103a、103bに蓄積されたビデオストリームは、各メモリコントローラ108a、108bにより、1フレーム期間毎に1枚のピクチャ分ずつのビデオストリームが読み出される。そして、ビットバッファ103aから読み出された1枚のピクチャ分のビデオストリームは、メモリコントローラ108a→データバス106a→バッファ110aの順番で転送されて、MPEGデコードコア回路105に入力される。また、ビットバッファ103bから読み出された1枚のピクチャ分のビデオストリームは、メモリコントローラ108b→データバス106b→バッファ110bの順番で転送されて、MPEGデコードコア回路105に入力される。

【0053】

MPEGデコードコア回路105は、従来のMPEGビデオデコーダ101と同様に、入力された1ピクチャ分のビデオストリームに対して、可変長デコード処理、逆量子化処理、IDCT処理、MC処理を順次行う。

そして、MPEGデコードコア回路105によるMC処理結果は、切替回路3に転送される。切替回路3は各ノード3a、3bのいずれかの側に切り替えられる。切替回路3がノード3a側に切り替えられた場合、MC処理結果は、バッファ114a→データバス106a→メモリコントローラ108a→フレームバッファ104aの順番で転送されて、メモリコントローラ108aにより、フレームバッファ104aのいずれかの領域120a～122aに格納される。また、切替回路3がノード3b側に切り替えられた場合、MC処理結果は、バッファ114b→データバス106b→メモリコントローラ108b→フレームバッファ

104bの順番で転送されて、メモリコントローラ108bにより、フレームバッファ104bのいずれかの領域120b～122bに格納される。

【0054】

そして、メモリコントローラ108aにより、フレームバッファ104aの各領域120a～122aから読み出されたデータは、メモリコントローラ108a→データバス106a→各バッファ111a～113aのいずれかの順番で転送されて、MPEGデコードコア回路105に入力される。ここで、前方参照領域120aから読み出されたデータはバッファ111aを介して転送され、後方参照領域121aから読み出されたデータはバッファ112aを介して転送され、Bピクチャ格納領域122aから読み出されたデータはバッファ113aを介して転送される。

【0055】

また、メモリコントローラ108bにより、フレームバッファ104bの各領域120b～122bから読み出されたデータは、メモリコントローラ108b→データバス106b→各バッファ111b～113bのいずれかの順番で転送されて、MPEGデコードコア回路105に入力される。ここで、前方参照領域120bから読み出されたデータはバッファ111bを介して転送され、後方参照領域121bから読み出されたデータはバッファ112bを介して転送され、Bピクチャ格納領域122bから読み出されたデータはバッファ113bを介して転送される。

【0056】

各前方参照領域120a, 120bには、MPEGデコードコア回路105によるMC処理において逆方向予測を行う際に用いられる未来のIピクチャまたはPピクチャが格納される。各後方参照領域121a, 121bには、MC処理において順方向予測を行う際に用いられる過去のIピクチャまたはPピクチャが格納される。各Bピクチャ格納領域122a, 122bにはBピクチャが格納される。

【0057】

各前方参照領域120a, 120bおよび各後方参照領域121a, 121b

に格納されるIピクチャまたはPピクチャは、順方向予測または逆方向予測を行うための基データとして使われるため、必要がなくなるまで、各領域120a, 120b, 121a, 121bに格納し続けなければならない。Bピクチャ格納領域122a, 122bに格納されるBピクチャについては基データとして扱われないため、MPEGビデオデコーダ1の外部へ出力されたら不用になる。尚、各領域120a~122bはプレーンとも呼ばれる。

【0058】

そして、メモリコントローラ108aにより、フレームバッファ104aの各領域120a~122aのいずれか1つから読み出されたピクチャのデータは、メモリコントローラ108a→データバス106a→バッファ115aの順番で転送されて、表示回路107に入力される。

【0059】

また、メモリコントローラ108bにより、フレームバッファ104bの各領域120b~122bのいずれか1つから読み出されたピクチャのデータは、メモリコントローラ108b→データバス106b→バッファ115bの順番で転送されて、表示回路107に入力される。

【0060】

表示回路107は、各バッファ115a, 115bから転送されたピクチャのデータからビデオ信号（映像信号）を生成し、そのビデオ信号をMPEGビデオデコーダ1に接続された外部機器131へ出力する。

このように構成されたMPEGビデオデコーダ1は、従来のMPEGビデオデコーダ101と同様に、ムービーカメラ、スチルカメラ、テレビジョン、ビデオCD再生装置、DVD再生装置などに組み込まれる。尚、MPEGビデオデコーダ1をムービーカメラまたはスチルカメラに組み込む場合は、伝達メディア130がCCDなどの撮像デバイスおよびその信号処理回路に置き換えられる。

【0061】

図2(a)は、SDRAMから成る各フレームバッファ104a, 104bの前方参照領域120a, 120bおよび後方参照領域121a, 121bに格納される輝度(Y)データおよび色差(C)データの格納状態を模式的に示す模式

図である。

【0062】

フレームバッファ104aにおいて、前方参照領域120aには前方参照用の輝度データyfの格納領域140が設けられ、後方参照領域121aには後方参照用の色差データcrの格納領域143が設けられている。

フレームバッファ104bにおいて、前方参照領域120bには前方参照用の色差データcfの格納領域141が設けられ、後方参照領域121bには後方参照用の輝度データyrの格納領域142が設けられている。

【0063】

前記したように、色差データのデータ量は輝度データのデータ量のほぼ半分であるため、各格納領域141、143のデータ量は各格納領域140、142のデータ量のほぼ半分に設定されている。

このように、各フレームバッファ104a、104bの各領域120a、121a、120b、121bに各データyf、cr、cf、yrを振り分けて格納することは、前記切替回路3の切り替え動作により容易かつ確実に行うことができる。

【0064】

ちなみに、上記のように、各フレームバッファ104a、104bの各領域120a、121a、120b、121bに各データyf、cf、yr、crを格納するための各格納領域140～143を設けることは、メモリマッピングと呼ばれる。

【0065】

図2(b)は、入出力のデータバス幅が16bitのSDRAMから成るフレームバッファ104a、104bの各領域120a、121a、120b、121bから1つのマクロブロック分のデータを読み出す場合におけるメモリアクセスの順番を模式的に示す模式図である。

【0066】

フレームバッファ104aに対するメモリアクセスは、格納領域140に対するコマンドオーバーヘッドcom→格納領域140からの前方参照用輝度データ

y f の読出→格納領域 143 に対するコマンドオーバーヘッド c o m→格納領域 143 からの後方参照用色差データ c r の読出の順番で行われる。

【0067】

フレームバッファ 104 b に対するメモリアクセスは、格納領域 141 に対するコマンドオーバーヘッド c o m→格納領域 141 からの前方参照用色差データ c f の読出→格納領域 142 に対するコマンドオーバーヘッド c o m→格納領域 142 からの後方参照用輝度データ y r の読出の順番で行われる。

そのため、MPEGデコードコア回路 105 には、格納領域 140 から読み出された前方参照用輝度データ y f が転送されているときに、格納領域 141 から読み出された前方参照用色差データ c f が転送される。そのため、MPEGデコードコア回路 105 では、従来のMPEGビデオデコーダ 101 と同様に、前方参照用輝度データ y f および前方参照用色差データ c f に基づいて、MC処理による逆方向予測が行われる。

【0068】

また、MPEGデコードコア回路 105 には、格納領域 143 から読み出された後方参照用色差データ c f が転送されているときに、格納領域 142 から読み出された後方参照用輝度データ y r が転送される。そのため、MPEGデコードコア回路 105 では、従来のMPEGビデオデコーダ 101 と同様に、後方参照用色差データ c r および後方参照用輝度データ y r に基づいて、MC処理による順方向予測が行われる。

【0069】

つまり、各フレームバッファ 104 a, 104 b、各メモリコントローラ 108 a, 108 b、各バッファ 111 a, 112 a と各バッファ 111 b, 112 b は同時に動作し、各フレームバッファ 104 a, 104 b に対するメモリアクセスは並列処理される。

【0070】

従って、この場合のメモリアクセスに要する時間 T2 は、式 (2) により求められる。

$$T2 = 2 \times t1 + t4 + t5 \quad \dots\dots\dots (式2)$$

但し、 t_1 ；コマンドオーバーヘッドcomに要する時間

t_4 ；各輝度データyf, yrの読出に要する時間

t_5 ；各色差データcf, crの読出に要する時間

ここで、各フレームバッファ104a, 104bのデータバス幅は16bitである。それに対して、従来のMPEGビデオデコーダ101のフレームバッファ104のデータバス幅は32bitである。そのため、前記時間 t_2 , t_3 , t_4 , t_5 の関係は式(3)に示すようになる。

$$t_4 = 2 \times t_2$$

$$t_5 = 2 \times t_3 \quad \dots\dots\dots (式3)$$

その結果、前記式(1)により求められる従来のMPEGビデオデコーダ101のメモリアクセスに要する時間 T_1 と、本実施形態のMPEGビデオデコーダ1のメモリアクセスに要する時間 T_2 との関係は式(4)に示すようになる。

$$T_2 = T_1 - 2 \times t_1 \quad \dots\dots\dots (式4)$$

従って、本実施形態のMPEGビデオデコーダ1によれば、従来のMPEGビデオデコーダ101に比べて、フレームバッファ104a, 104bから1つのマクロブロック分の輝度データおよび色差データを読み出す際のメモリアクセスに要する時間を、2回分のコマンドオーバーヘッドcomに要する時間($= 2 \times t_1$)分だけ短縮することができる。

【0071】

また、図5(c)に示すように、入出力のデータバス幅が16bitのSDRAMから成る各フレームバッファ104a, 104bからハーフマクロブロック分の輝度データ(9ピクセル×17ピクセル分のデータ)を読み出すには、9ピクセル×20ピクセル分のデータを読み出せばよい。すなわち、入出力のデータバス幅が16bitのSDRAMにアクセスできる最小単位は水平4ピクセル分であるため、水平17ピクセル分のデータを読み出すには、水平4ピクセルの5倍の20ピクセル分のデータを読み出させばよい。そして、読み出した9ピクセル×20ピクセル分のデータの内、9ピクセル×17ピクセル分の必要なデータを除いた残りのデータである9ピクセル×3ピクセル分は無駄なデータとなる。

【0072】

前記したように、従来のMPEGビデオデコーダ101では、9ピクセル×24ピクセル分のデータを読み出さなければならず、その内、9ピクセル×17ピクセル分の必要なデータを除いた残りのデータである9ピクセル×7ピクセル分は無駄なデータとなる。

【0073】

従って、本実施形態のMPEGビデオデコーダ1によれば、従来のMPEGビデオデコーダ101に比べて、フレームバッファ104a、104bからハーフマクロブロック分の輝度データを読み出す際に、9ピクセル×4ピクセル分の無駄なデータの読み出しを行う必要がなくなり、その分だけメモリアクセスに要する時間を短縮することができる。

【0074】

以上詳述したように、本実施形態のMPEGビデオデコーダ1によれば、従来のMPEGビデオデコーダ101に比べて、MPEGデコードコア回路105にてMC処理を行うときに、フレームバッファ104a、104bからデータを読み出す際のメモリアクセスに要する時間を短縮することが可能になる。

【0075】

従って、本実施形態によれば、フレームバッファ104a、104bの動作周波数を更に高くしたり入出力のデータバス幅を更に広げることなく、MPEGビデオデコーダ1の動作速度を高速化することができる。ちなみに、本実施形態のMPEGビデオデコーダ1の動作速度は、従来のMPEGビデオデコーダ101に比べて1.3～1.5倍高速になる。

【0076】

そして、フレームバッファ104a、104bとして動作周波数の高い高価で消費電力の大きなものを使用することなく、動作速度の高速なMPEGビデオデコーダ1を実現することが可能になり、MPEGビデオデコーダ1の動作速度の高速化に際して、コストアップならびに消費電力の増大を回避することができる。

【0077】

本実施形態では、フレームバッファ104a、104bを構成するSDRAM

、メモリコントローラ108a、108b、データバス106a、106bのデータバス幅（ビット幅）を全て16bitに設定することにより、全体として16bit+16bitの32bitとしている。ところで、より高速な処理が要求される場合には64bit化が必要となるが、この場合には、フレームバッファ104a、104bを構成するSDRAM、メモリコントローラ108a、108b、データバス106a、106bのデータバス幅を全て32bitに設定することにより、全体として32bit+32bitの64bitとすればよく、このようにすれば本実施形態と同様の効果を得ることができる。

【0078】

尚、本発明は上記実施形態に限定されるものではなく、以下のように変更してもよく、その場合でも、上記実施形態と同等もしくはそれ以上の作用・効果を得ることができる。

（1）MPEGビデオデコーダ1において、各バッファ113a、113bは適宜省略することができる。また、各バッファ111a、112aの機能を一つのバッファで兼用してもよく、同様に、各バッファ111b、112bの機能を一つのバッファで兼用してもよい。

（2）フレームバッファ104a、104bを、SDRAMではなく、書き換え可能な他の形式の半導体メモリ（例えば、DRAM、ラムバスDRAM、等）によって構成してもよい。

【図面の簡単な説明】

【図1】 本発明を具体化した一実施形態のMPEGビデオデコーダのブロック回路図。

【図2】 一実施形態の動作を説明するための模式図。

【図3】 従来のMPEGビデオデコーダのブロック回路図。

【図4】 従来のMPEGビデオデコーダの動作を説明するための模式図。

【図5】 一実施形態および従来のMPEGビデオデコーダの動作を説明するための模式図。

【符号の説明】

1…MPEGビデオデコーダ

2…制御コア回路

3…切替回路

103a, 103b…ビットバッファ

104a, 104b…フレームバッファ

105…MPEGデコードコア回路

106a, 106b…データバス

108a, 108b…メモリコントローラ

109, 110a～115b…バッファ

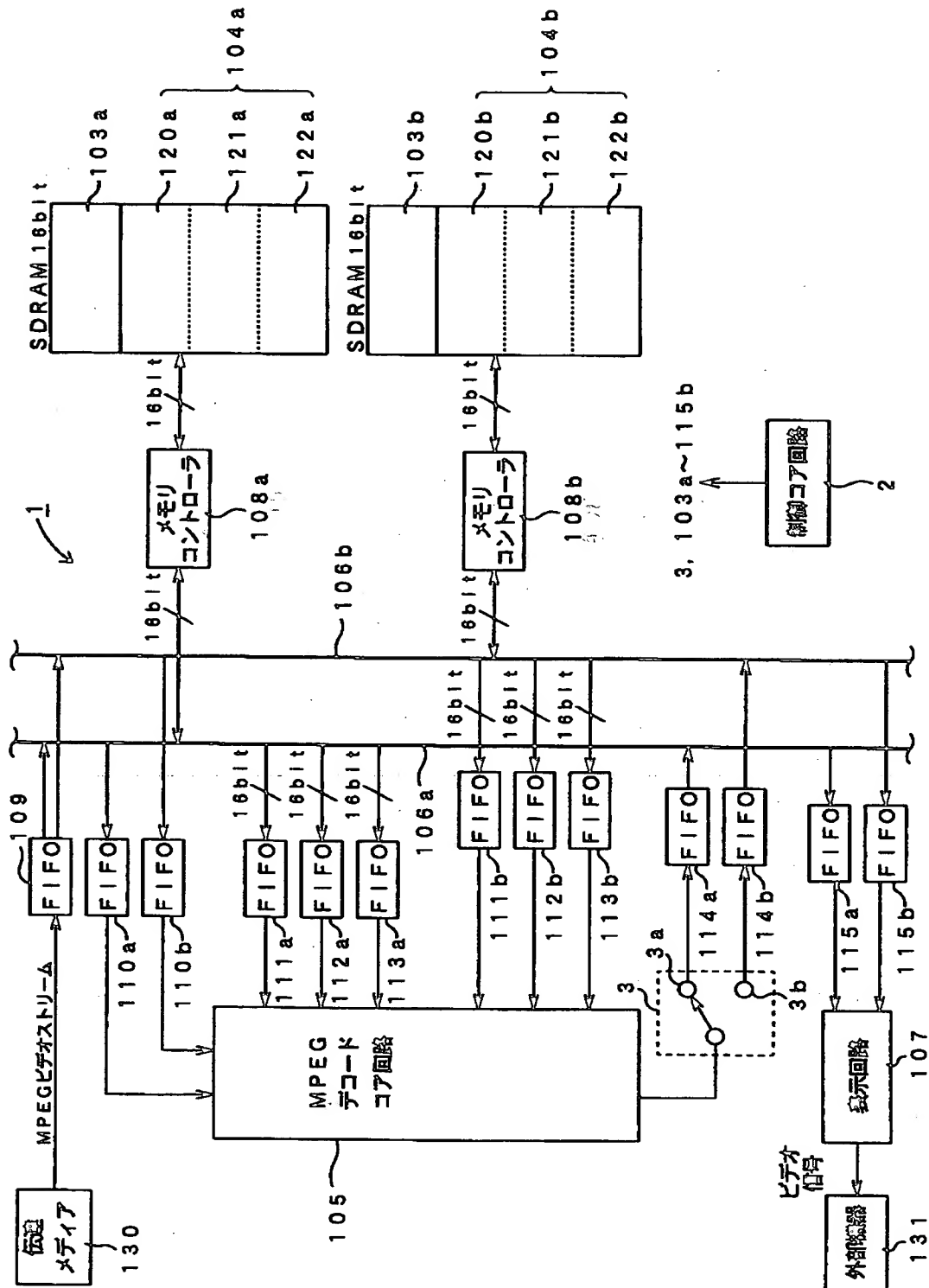
120a, 120b…前方参照領域

121a, 121b…後方参照領域

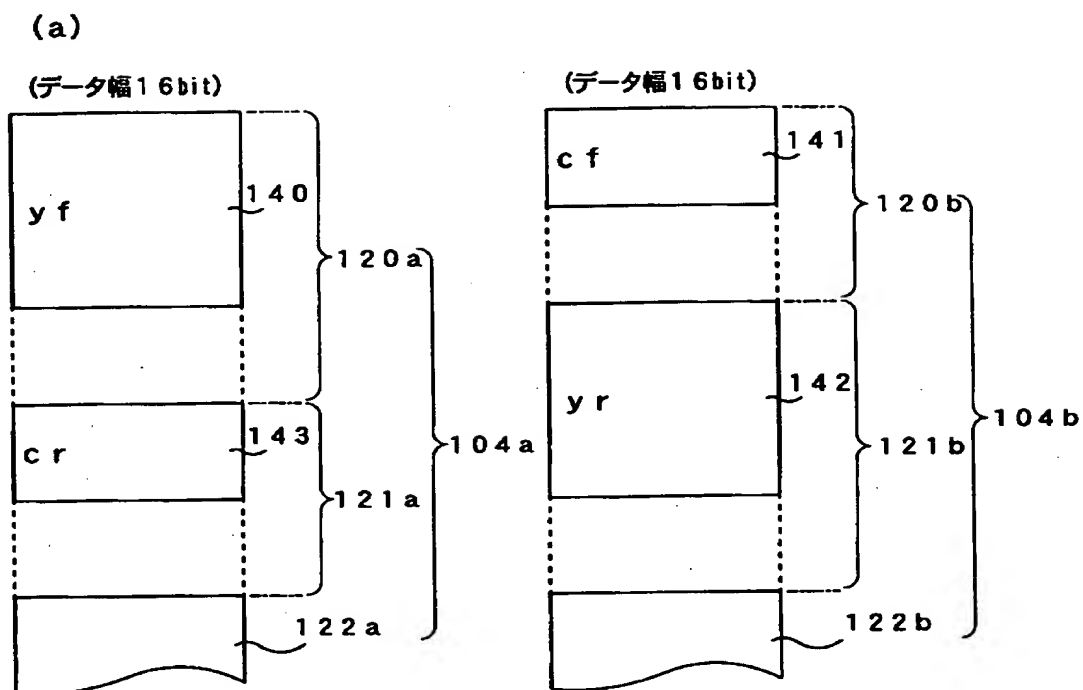
140～142…格納領域

【書類名】 図面

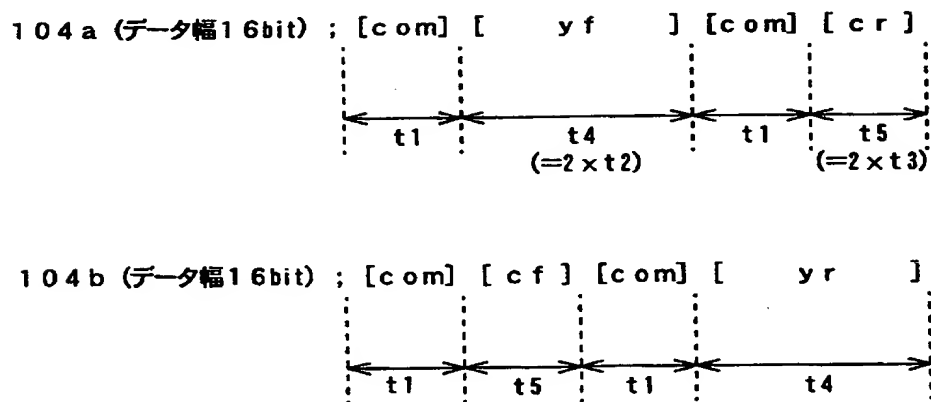
【図 1】



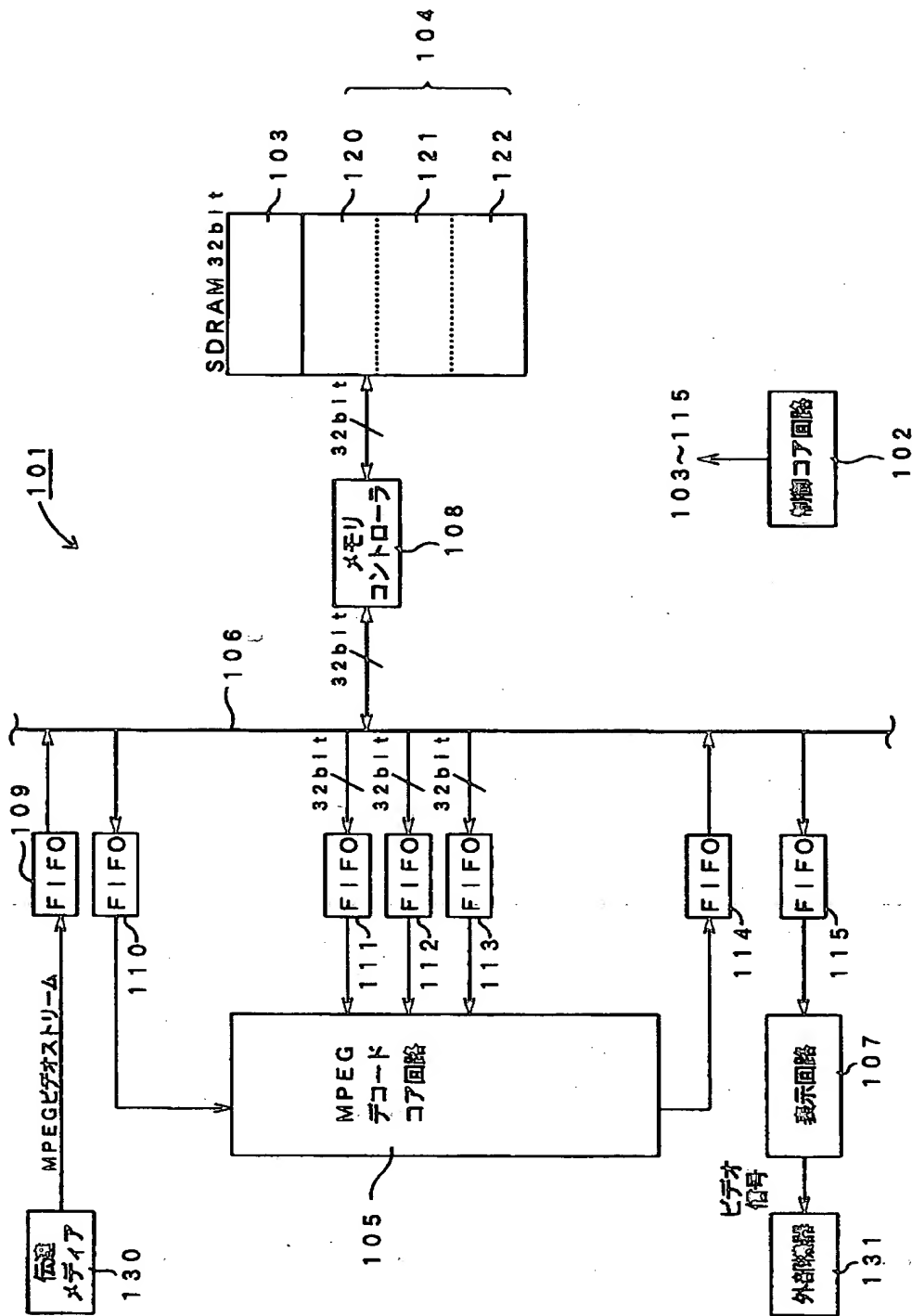
【図 2】



(b)

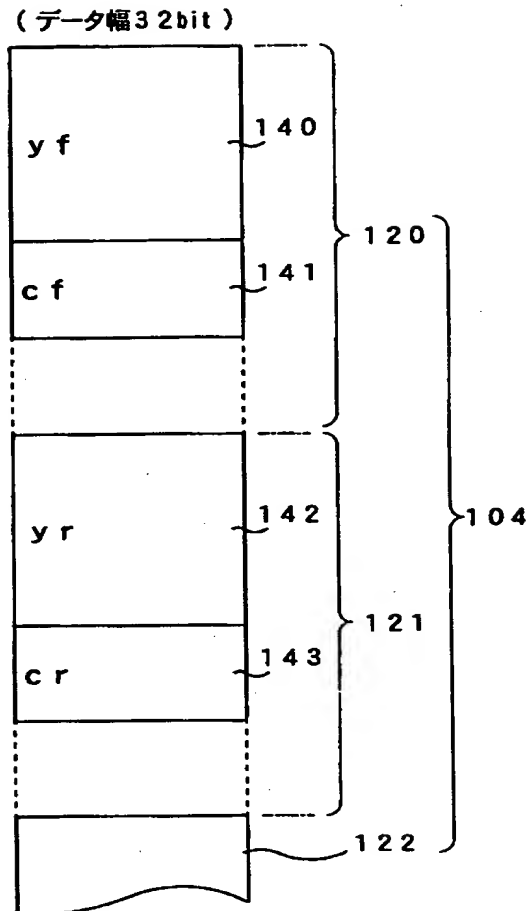


【図 3】

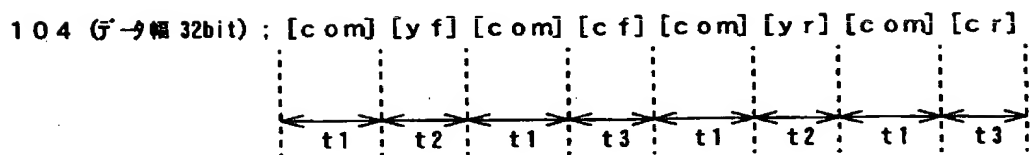


【図 4】

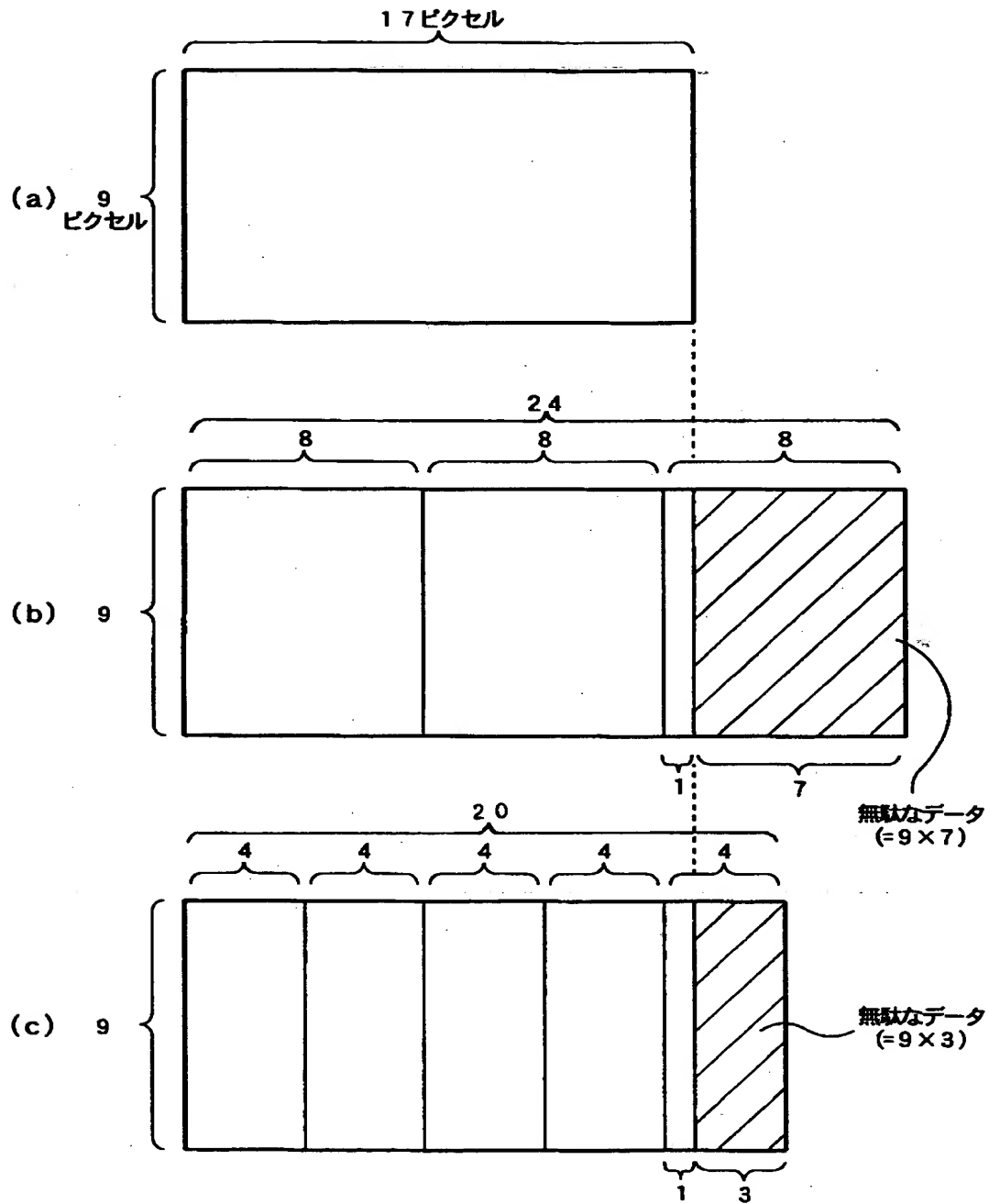
(a)



(b)



【図 5】



【書類名】 要約書

【要約】

【課題】動作速度を高速化することが可能で且つ安価なMPEGビデオデコーダを提供する。

【解決手段】MPEGビデオデコーダ1は、離散コサイン変換と、逆方向予測および順方向予測を行う動き補償付予測とを併用してMPEGビデオストリームをデコードする。フレームバッファ104aには、逆方向予測に用いられる前方参照用輝度データの格納領域と、順方向予測に用いられる後方参照用色差データの格納領域とが設けられている。フレームバッファ104bには、逆方向予測に用いられる前方参照用色差データの格納領域と、順方向予測に用いられる後方参照用輝度データの格納領域とが設けられている。入出力のデータバス幅が共に16bitの各フレームバッファ104a, 104bに対するメモリアクセスは並列処理で行われる。

【選択図】 図1

出願人履歴情報

識別番号

[000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社